

## Nonvolatile PMOS two transistor memory cell and array

Publication number: CN1218294

Publication date: 1999-06-02

Inventor: CHANG SHANG-DE TED (US); YU TENG-FENG (US);  
KOWSHIK VIKRAM (US)

Applicant: PROGRAMMABLE MICROELECTRONICS (US)

Classification:

- international: **G11C16/04; H01L21/8247; H01L27/115; H01L29/788;  
H01L29/792; G11C16/04; H01L21/70; H01L27/115;  
H01L29/66; (IPC1-7): H01L27/105; G11C11/34;  
H01L29/788**

- European: G11C16/04F3

Application number: CN19981024648 19981008

Priority number(s): US19970947850 19971009

Also published as:



WO9919880 (A1)

EP0965133 (A1)

EP0965133 (A0)

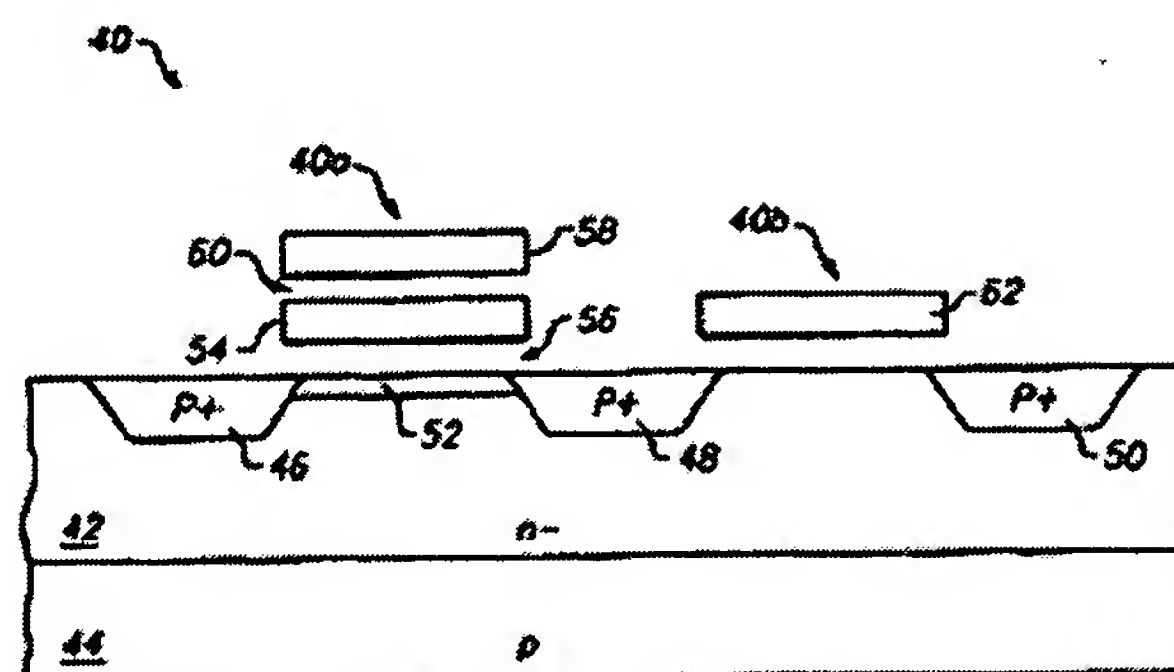
CN1169224C (C)

[Report a data error here](#)

Abstract not available for CN1218294

Abstract of corresponding document: **WO9919880**

A nonvolatile memory array has a plurality of PMOS two transistor (2T) memory cells. Each 2T cell (40) includes a PMOS floating gate transistor (40a) and a PMOS select transistor (40b) and is connected between a bit line and a common source line. The select gate and the control gate of each 2T cell in a common row are connected to a word line and to a control gate line, respectively. The 2T cells of the array are programmed using a combination of FN tunneling and BTBT induced hot electron injection, and are erased using FN tunneling. In some embodiments, the array is divided into sectors, where each sector is defined by an n-well region and includes a predetermined number of rows of the 2T cells. Here, the source of each 2T cell in a sector is coupled to a common source line of the sector. In other embodiments, the bit lines of the array are segmented along sector boundaries.



Data supplied from the **esp@cenet** database - Worldwide

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>6</sup>

H01L 27/105

H01L 29/788 G11C 11/34

## [12] 发明专利申请公开说明书

[21] 申请号 98124648.6

[43]公开日 1999 年 6 月 2 日

[11]公开号 CN 1218294A

[22]申请日 98.10.8 [21]申请号 98124648.6

[30]优先权

[32]97.10.9 [33]US [31]947850

[71]申请人 美商常忆科技股份有限公司

地址 美国加利福尼亚

[72]发明人 张尚德 游天风 非克拉姆·寇西科  
纳德·拉蒂

[74]专利代理机构 中国国际贸易促进委员会专利商标事  
务所

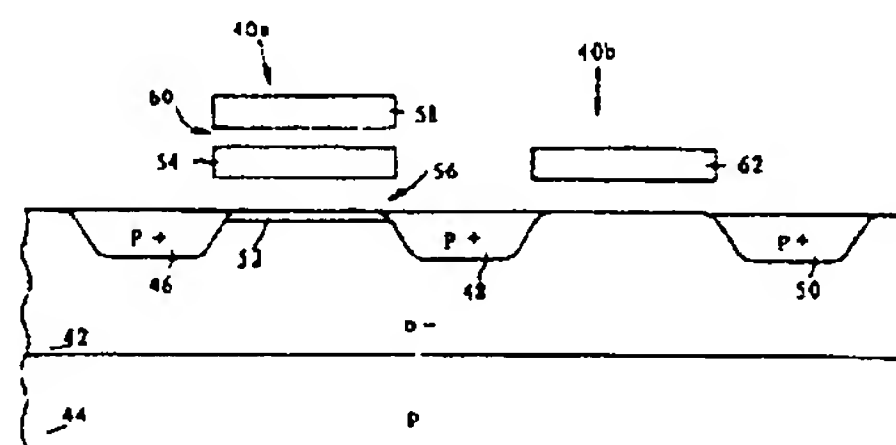
代理人 付建军

权利要求书 3 页 说明书 15 页 附图页数 6 页

[54]发明名称 非易失 P 沟道金属氧化物半导体二晶体  
管存储单元和阵列

[57]摘要

公开了一种包括多个 PMOS 二晶体管(2T)存储单元的非易失存储阵列。每个 2T 单元包括 PMOS 浮栅晶体管和 PMOS 选择晶体管,并连接在位线 和公共源线之间。在同一行中每个 2T 单元的选择栅和控制栅分别连接到字线 和控制栅线上。利用 FN 隧穿和 BTBT 诱生热电子注入对阵列的 2T 单元进行编程,并利用 FN 隧穿进行擦除。在一些实施例中,阵列分成多个组,其中每个组由 n-阱区限定,并包括预定数目的 2T 单元行。这里,在一个组中每个 2T 单元的源耦合到该组的公共源线上。在其它实施例中,阵列的位线被沿组边界分段。



ISSN 1008-4274

## 权 利 要 求 书

1. 一种包括多个PMOS 2T存储单元的存储阵列，其特征在于每个2T存储单元形成在n-阱区中，并包括：

PMOS选择晶体管，具有耦合到所述阵列的位线上的p+漏，耦合到字线上的选择栅，和p+源；以及

PMOS浮栅晶体管，具有耦合到所述PMOS选择晶体管的所述p+源上的p+漏，耦合到控制栅线上的控制栅，和耦合到公共源线上的p+源。

2.如权利要求1的存储阵列，其特征在于，所述阵列被分成多个组，每个组包括预定数目的所述PMOS存储单元的行，其中所述多个组的每一个的存储单元形成在有关的多个所述n-阱区之一中。

3.如权利要求2的存储阵列，其特征在于，所述多个组的每一个内的浮栅晶体管的源被耦合到有关的多个公共源线之一上。

4.如权利要求3的存储阵列，其特征在于，PMOS 2T单元在处于擦除状态时具有负的阈值电压，而在处于编程状态时具有正的阈值电压。

5.如权利要求2的存储阵列，其特征在于，每个2T存储单元内的PMOS浮栅晶体管具有约为100 的隧道氧化层厚度，从而在编程期间允许FN隧穿。

6.如权利要求1的存储阵列，其特征在于，利用FN隧穿和BTBT诱生热电子注入对存储单元进行编程。

7.如权利要求1的存储阵列，其特征在于，通过向所述位线施加第一负电压，向所述字线施加第二负电压，向所述控制栅施加第一正电压，向所述n-阱区施加第二正电压和浮置所述公共源线，来对所选的一个存储单元进行编程。

8.如权利要求7的存储阵列，其特征在于，所述第一负电压介于约-5伏和-5.5伏之间，所述第二负电压为约-7.5V，所述第一正电压为约8伏，而所述第二正电压为供电电压VCC。

9.如权利要求1的存储阵列，其特征在于，通过FN隧穿擦除存储单

元。

10.如权利要求1的存储阵列，其特征在于，通过向所述控制栅施加约-8.5伏，向所述n-阱区和所述公共源线施加约8.5伏，来对所选的一个存储单元进行擦除。

11.如权利要求1的存储阵列，其特征在于，通过向所述位线施加约1伏，将所述字线接地，和向所述控制栅、所述n-阱区和所述公共源线施加供电电压VCC，来读出所选的一个存储单元。

12.一种PMOS存储阵列，包括多个组，每个组包括：

多行2T存储单元，每个2T存储单元包括：

PMOS选择晶体管，具有p+漏，选择栅，和p+源；以及

PMOS浮栅晶体管，具有耦合到所述PMOS选择晶体管的所述p+源上的p+漏，控制栅，和耦合到所述组的公共源上的p+源；

多个位线，其中每个位线耦合到每个所述行中的一个存储单元的选择晶体管的p+漏上，从而定义了一列；

多个字线，其中每个字线耦合到一个所述行中的每个存储单元的选择栅上；以及

多个控制栅线，其中每个控制栅线耦合到一个所述行中的每个存储单元的控制栅上。

13.如权利要求12的存储阵列，其特征在于，所述多个组的每一个的存储单元形成在有关的多个n-阱区之一中。

14.如权利要求13的存储阵列，其特征在于，在编程操作期间，通过向所选的一个所述位线施加约-5到-5.5之间的电压，向所选的一个所述字线施加约-7.5伏，向所选的一个所述控制栅施加约8伏，向所述n-阱区施加供电电压VCC，浮置所述公共源，利用FN隧穿和BTBT热电子注入的结合对所选的一个所述单元进行编程。

15.如权利要求14的存储阵列，其特征在于，在编程操作期间，防止耦合到所述所选字线上的未被选择的一个所述单元被编程，这通过将耦合到所述未被选择的单元上的位线保持在VCC来实现。

16.如权利要求14的存储阵列，其特征在于，在编程操作期间，防止耦合到所述所选位线上的未被选择的一个所述单元被编程，这通过将耦

合到所述未被选择的单元上的字线保持在VCC来实现。

17.如权利要求13的存储阵列，其特征在于，在擦除操作期间，通过向所述所选组的控制栅线施加约-8.5伏和向字线、公共源和所述所选组的n-阱区施加约8.5伏，来擦除所选组的存储单元。

18.如权利要求17的存储阵列，其特征在于，在擦除操作期间，通过向控制栅线和所述未被选择的组的n-阱区施加供电电压VCC，使未被选择的组的存储单元与所述所选组上的所述擦除操作隔离。

19.如权利要求12的存储阵列，其特征在于，还包括多个总位线，其中所述位线经过传递晶体管连接到有关的所述多个总位线之一上。

20.如权利要求19的存储阵列，其特征在于，所述传递晶体管包括PMOS器件，并具有负阈值电压。



## 非易失 p 沟道金属氧化物半导体二晶体管存储单元和陈列

概括地说,本发明涉及半导体存储器,具体地说,涉及非易失闪烁存储单元和有关的阵列结构。

半导体工业的新进展带动了PMOS浮栅(FG)存储单元的发展,如在此作为参考文献编入的由T.Ohnakado等在IEEE International Electron Devices Meeting Technical Digest,1995,pp.279-282标题为“将带间隧穿诱生热电子(BBHE)用于有P沟道单元的闪烁存储器的新型电子注入方法”的论文中所披露的存储单元。属于上述论文中所披露类型的PMOS FG单元10示于图1中。单元10形成在p-衬底14的n-阱区12中。p+源16和p+漏18形成在n-阱区12中。n导电类型的掺杂物如磷离子被注入到沟道区20中,从而制成增强型器件。隧道氧化层24使n导电类型的多晶硅浮栅22与n-阱区12绝缘。隧道氧化层24最好约为110 厚。绝缘层28使控制栅26与浮栅22绝缘。

通过向控制栅26施加约10伏,向p+漏18施加约-6伏,浮置p+源16和使n-阱区12接地,对单元10进行编程。在这些偏置条件下,由带间隧穿(BTBT)诱生的热电子被注入到浮栅22中。在浮栅22上所获得的电荷的累积使单元10的阈值电压 $V_T$ 增大到约-2.5伏。这样,在被编程时,单元10象增强型器件那样工作。

通过向控制栅26施加约-10伏,浮置p+漏18,向p+源16和n-阱区12施加约10伏,对单元10进行擦除。在这些偏置条件下,福勒-诺德海姆(FN)隧穿使电子从浮栅22射出,由此使单元10的阈值电压 $V_T$ 回到约-4.2伏。

通过分别向控制栅26和p+漏18施加约-3.3伏和约-1伏,与此同时使p+源16和n-阱区12接地,对单元10进行读出。在这些偏置条件下,如果是处于已被编程的状态下,单元10就传导沟道电流。

单元10在隔离的状态下和作为阵列结构的一部分的状态下的工作是

标题为“非易失半导体存储器件”的日本特许公开No.9-8153的主题，该文件于1997年1月10日公开并被转让给Mitsubishi Electric Coproration (Mitsubishi)。因此，下面将单元10称为Mitsubishi单元10。

在上述引用的文献中，作者指出，单元10所实现的主要优点之一是其高可量测性(scalability)，作者说明这一特性与常规PMOS晶体管大致相同。此外，作者还指出，与FN隧穿的编程速度相比，BTBT诱生热电子注入编程允许更高的编程速度。该论文提供，以栅电流与漏电流之比( $I_G/I_D$ )测量的BTBT诱生热电子注入的最大编程效率比由FN隧道效应实现的最大编程效率大一个到两个数量级之间。单元10具有约为50 $\mu$ s的最大编程速度。

日本特许公开No.9-8153披露了一种NOR阵列结构，该结构具有多个上述论文中所披露的类型的存储单元，即Mitsubishi单元10(图1)。日本特许公开No.9-8153中所披露类型的NOR阵列30示于图2，它包括十六个Mitsubishi单元10。位于阵列30的同一行中的单元10的控制栅26连接到字线WL上。在同一列中的单元10的p+漏18连接到位线BL上。在同一行中的单元10的p+源16连接到公共源线CS上。

注意，NOR阵列30中的存储单元只由Mitsubishi FG单元10构成。这种类型的阵列通常被称为1T单元阵列，其中1T单元被定义为只包括一个晶体管的存储单元。由于诸如例如NOR阵列30的单元10这样的1T单元不包括选择晶体管，因此得以使其单元面积最小。这样，当象在阵列30中那样被用作1T存储单元时，高度可量测的(Scalable)Mitsubishi单元10可以有最大的单元密度。

在日本特许公开No9-8153的其它实施例中，阵列30的每个位线BL被沿着页界分开，其中每个位线段经由选择晶体管连接到总位线上。所获得的阵列结构因此具有分段或分开的位线，通常被称为DINOR(位线分开NOR)单元阵列，并且是于1996年9月10日被授予Ajika等人并被转让给Mitsubishi的U.S.专利No.5554867的主题。在该专利中，Ajika等人指出，DINOR阵列结构的主要优点是进一步减小单元面积。因此，在DINOR单元结构中将FG晶体管10用作1T存储单元可以有更大的单元密度。

虽然在许多方面优于其它存储单元，但Mitsubishi单元10在编程和读

出期间易受BTBT干扰。例如，当对阵列30的单元10(0, 0)进行编程时，所选位线BL0被保持在约-6伏，所选字线WL0被施加约8伏的脉冲，而未被选择的字线WL1-WL3接地。公共源线CS浮置。如上所述，这些偏置条件有助于通过BTBT诱生热电子注入对所选单元10(0, 0)进行编程。但是，在所选单元10(0, 0)的编程期间，与所选单元处于同一列的未被选择的单元10，即单元10(1, 0)，10(2, 0)和10(3, 0)的各漏18直接耦合到所选位线BL0上，因而具有约-6伏的电压。

这样，在这些未被选择的单元10的每一个内，在p+漏18和n-阱区12之间所获得的约-6伏的电压差足以使电子从p+漏18通过BTBT向n-阱区12加速。由于未被选择的单元10(1, 0)，10(2, 0)和10(3, 0)的各控制栅26是接地的，因此在这些未被选择的单元10的每一个内，约-1伏从p+漏18被耦合到浮栅22上（假设一般漏-浮栅耦合为15-20%）。在这些未被选择的单元10的各p+漏18和浮栅22之间的这一电压差足以通过BTBT向单元10的各浮栅22注入热电子。因此，当对所选单元10(0, 0)进行编程时，在未被选择的单元10(1, 0)，10(2, 0)和10(3, 0)内产生的这两个上述电场通过BTBT诱生热电子注入造成不期望的对这些未被选择的单元10的编程。这种BTBT干扰使数据完整性受到损害。

这里披露一种克服了上述技术中的问题的新颖的单元和阵列结构。根据本发明，披露一种非易失存储阵列，它包括多个PMOS二晶体管(2T)存储单元。每个2T单元包括一个PMOS浮栅晶体管和一个PMOS选择晶体管，并且被连接在一条位线和公共源线之间。同一行中每个2T单元的选择栅和控制栅分别被连接到字线和控制栅线上。利用FN隧穿和BTBT诱生热电子注入对阵列的2T单元进行编程，并利用FN隧穿对2T单元进行擦除。

在一些实施例中，阵列被分成组(sector)，每组由n-阱区限定，并包括预定数量的2T单元的行和列。在这些实施例中，将一组中每个2T单元的源耦合到该组的公共源线上。在其它实施例中，沿组的边界将阵列的位线分段以便降低位线电容。

图1是现有技术PMOS浮栅晶体管的示意图；

图2是包含图1中所示类型的浮栅晶体管的现有技术1T NOR阵列结



构的示意图;

图3是根据本发明的PMOS 2T存储单元的剖视图;

图4是根据本发明一个实施例的2T单元阵列的示意图;

图5是说明图1的现有技术1T单元的编程和擦除阈值电压 $V_T$ 分布(虚线),和本发明2T单元的编程和擦除阈值电压 $V_T$ 分布的曲线图(实线);  
以及

图6是根据本发明另一实施例的2T单元阵列的示意图,在该2T单元阵列中阵列的位线被沿着组边界分段。

在各附图中同样的部件被标以相同的标号。

图3说明了根据本发明的PMOS二晶体管(2T)存储单元40。2T单元40包括形成在p-衬底44的n-阱区42中的PMOS浮栅(FG)晶体管40a和PMOS选择晶体管40b。第一p+扩散46用作FG晶体管40a的源46。第二p+扩散48用作FG晶体管40a的漏和选择晶体管40b的源。第三p+扩散50用作选择晶体管40b的漏。沟道区52在FG晶体管40a的p+源46和p+漏48之间的n-阱区42内延伸。薄的隧道氧化层56使多晶硅浮栅54与n-阱区42绝缘。注意,在编程时FG晶体管40a是耗尽型器件,即在浮栅54带负电时形成有沟道区52。厚度在约180和350之间的绝缘层60使控制栅58与浮栅54绝缘。流过选择晶体管40b的电流受选择栅62上施加的电压的控制,该选择栅62可以掺杂有n或p导电类型的掺杂物。

最好,隧道氧化层56具有介于约80和130之间的厚度,并在沟道52的整个长度和FG晶体管40a的p+源46和p+漏48二者的部分上延伸。但是应理解,在其它实施例中,隧道氧化层56可以是可变的其它长度。

在优选实施例中,在使用0.55微米技术制造2T单元40的情况下,FG晶体管40a具有分别为约 $0.7\mu\text{m}$ 和 $0.65\mu\text{m}$ 的沟道宽度和长度,并且沟道52具有介于约 $3\text{E}16$ - $1\text{E}17$ 离子/ $\text{cm}^2$ 的n型掺杂物浓度。FG晶体管40a的隧道氧化层56为约100。n-阱区42具有约 $800\Omega/\text{sq}$ 的电阻率。选择晶体管40b具有分别为约 $0.7\mu\text{m}$ 和 $0.6\mu\text{m}$ 的沟道宽度和长度。为将选择晶体管40b的阈值电压 $V_T$ 调节到约-0.7伏,将诸如例如硼离子这样的p导电类型掺杂物注入到n-阱区42在选择栅62下面的表面部分中。

2T单元40的FG晶体管部分40a在处于固有（擦除）状态时具有负的阈值电压 $V_T$ ，而在编程后具有正的阈值电压 $V_T$ 。为方便起见，下面将单元40的FG晶体管部分40a的阈值电压 $V_T$ 称为单元40的阈值电压 $V_T$ 。在一个优选实施中，单元40的固有 $V_T$ 介于约-1和-5伏之间，而单元的编程 $V_T$ 介于约1.5和4伏之间。

参看图4，所示的本发明非易失存储阵列70包括被分成两个组S0和S1的多个2T单元40，其中每个组包括两行2T单元40。最好，利用n-阱区42限定每个组。例如，第一组S0的2T单元40形成于第一n-阱区42（0）中，而第二组S1的2T单元40形成于第二n-阱区42（1）中。这样，可将限定组S0和S1的各n-阱区42保持在不同的电位。所示的阵列70包括四列，如由各位线BL0-BL3所限定的。

应注意下面参照阵列70来讨论本实施例只是为了简单起见。实际的实施例可包括更多的组，其中每个组可包括更大数目的2T单元40的行和/或列。因此，不能把本实施例看作是局限于这里所讨论的具体例子。

在阵列70的每个组内，每个2T单元40串联连接在组的公共源CS和阵列70的相关位线BL之间。例如，位于第一组S0的第一行和第一列中的2T单元40（0，0）包括PMOS选择晶体管40b（0，0）和PMOS FG晶体管40a（0，0）。2T单元40（0，0）的p+漏50和选择栅62分别连接到位线BL0和字线WL0上。控制栅58连接到控制栅线CG0上，而p+源46连接到公共源线CS0上。在优选实施例中，一个组的公共源CS不耦合到限定该组的n-阱区上，由此可将2T单元40的各p+源46和n-阱区保持在不同的电压。

尽管为简化起见未被示出，但阵列70还包括读出放大器，行解码器，列解码器和其它合适的地址和解码逻辑电路。在优选实施例中，每个位线BL被耦合到相关读出放大器上，其中在读出操作期间，与所选位线相关的读出放大器被启动，以便确定所选位线上的电压，该位线本身又表明被选择读出的单元40的二进制状态。

### 编程操作

参看图3，在一些实施例中，通过在p+源46和p+漏48之间施加约-6伏

的漏-源电压 $V_{DS}$ ，同时向控制栅58施加从第一电位到第二电位斜变的编程电压，来利用沟道热电子（CHE）注入对2T单元40进行编程。在这些偏置条件下，空穴穿过FG晶体管40a的沟道52向其p+漏48加速，在那里它们与p+漏48的耗尽区中的电子和晶格原子碰撞。由所造成的碰撞电离产生的热电子被注入到其浮栅54中，并由此而使浮栅54带负电。例如，可通过向p+源46和n-阱区42施加约8伏，将0-2伏耦合到p+漏48上，并且向控制栅58施加从约6伏到约10伏斜变的编程电压，从而利用CHE注入来对FG晶体管40a进行编程。注意，这些编程偏置电压的电平是可改变的。这样，例如如上所述，通过向p+源46和n-阱区42施加供电电压 $V_{CC}$ （约3伏），将p+漏48保持在约-3伏，并使控制栅58从约0到5伏斜变，从而利用CHE注入来对FG晶体管40a进行编程。

在其它实施例中，使用BTBT诱生热电子注入对2T单元40进行编程，而没有用沟道电流。这可通过将其p+源46和n-阱区42保持在约8伏，将约0到2伏之间的电压耦合到其p+漏48，并且向其控制栅58施加约12伏来实现。跨接在p+漏48和n-阱区42上的反向偏置，与经控制栅58耦合到浮栅54上的正电压结合，在p+漏48的耗尽区中产生足够高的电场，从而产生注入到浮栅54中的高能电子，由此对2T单元40进行编程。同样，这些编程偏置电压的电平是可以改变的。

但是在优选实施例中，利用福勒-诺德海姆（FN）电子隧穿和带间隧穿（BTBT）诱生热电子注入的组合对2T单元40进行编程。在这里，例如单元40由约3伏的供电电压 $V_{CC}$ 驱动，约-5伏被耦合到其p+漏48上，其p+源46处于浮动电位，其n-阱区42被保持在供电电压 $V_{CC}$ ，而其控制栅58被施加约1-100 $\mu s$ 之间的约8伏脉冲。当编程时，2T单元40的FG晶体管部分40a工作于深耗尽。

再参看图4，选择阵列70中的2T单元40，诸如例如第一组S0中的2T单元40（0，0），以便进行如下的编程。将所选位线BL0保持在约-5伏。将阵列70的n-阱区42保持在供电电压 $V_{CC}$ 。阵列70的公共源CS浮置。将所选字线WL0保持在足以启动选择晶体管40b（0，0）的负电压，并由此将所选单元40（0，0）的p+漏48耦合到所选位线BL0上的负电压上。在



一些实施例中，所选字线WL0被保持在约-7.5伏。将约为8伏的编程电压脉冲V<sub>P</sub>施加到所选的控制栅线CG上。在优选实施例中，编程电压脉冲V<sub>P</sub>约为10 $\mu$ s。

编程电压脉冲V<sub>P</sub>最初诱发从p+漏48到所选单元40(0, 0)的浮栅54的FG电子隧穿。随着所选单元40(0, 0)的阈值电压V<sub>T</sub>因其浮栅54上电子的累积变得更正，BTBT诱生热电子被注入到浮栅54中，由此加速了浮栅54的充电。随着所选单元40(0, 0)的阈值电压V<sub>T</sub>变得更正，利用BTBT诱生热电子实现所选单元40(0, 0)内栅电流I<sub>G</sub>的增加部分。

通过将未被选择的位线BL1-BL3保持在供电电压V<sub>CC</sub>或浮动电位上，防止与所选单元40(0, 0)在同一行中的未被选择的单元40编程。由于所选字线WL0为约-7.5伏，在阵列70的第一行中的单元40的各选择晶体管40b处于导通状态，从而将供电电压V<sub>CC</sub>从未被选择的位线BL1-BL3分别耦合到第一行中未被选择的单元40，即单元40(0, 1)，40(0, 2)和40(0, 3)的相应p+漏48上。由于第一组S0的n-阱区42(0)也处于供电电压V<sub>CC</sub>，因此跨接在单元40(0, 1)，40(0, 2)和40(0, 3)的每一个的p+漏48和n-阱区42结上的电压梯度为零。因此，在所选单元40(0, 0)的编程期间，单元40(0, 1)，40(0, 2)和40(0, 3)中不可能有BTBT诱生热电子。注意，尽管一些偶然的FG隧穿可能出现在这些未被选择的单元中，但它不会使这些未被选择的单元有大于100毫伏的阈值电压V<sub>T</sub>的改变，并因此不会导致编程干扰。通过将所选单元40(0, 0)在同一列中的未被选择的单元40的各选择晶体管40b保持在非导通状态，来防止它们编程。例如，在一些实施例中，未被选择的字线WL1-WL3被保持在供电电压V<sub>CC</sub>。以此方式，未被选择的单元40的相应选择晶体管40b将相应的p+漏48与所选位线BL0上的负电压隔离，从而将未被选择的单元40的相应FG晶体管40a与所选位线BL0上的负电压隔离。因此，跨接在这些未被选择的单元40的每一个的p+漏48和n-阱区42(0)结上的电压梯度不足以促成其中电子的带间隧穿。以这种方式，防止在这些未被选择的单元40中的BTBT干扰。

在一些实施例中，编程电压脉冲V<sub>P</sub>被同时施加在所选和未被选择的



控制栅线CG上。在这种方式中，不需要对控制栅线CG进行单独的寻址，由此允许对于阵列70使用更小和较不复杂的行解码器（为简单起见未示出）。在其它实施例中，未被选择的控制栅线CG1-CG3被保持在供电电压VCC或浮置，由此通过有效地消除其相应浮栅54和n-阱区42之间的任何电场，来进一步防止耦合到其上的单元40的编程。但是，这些实施例需要更复杂的行解码。

以上给出的偏置条件是以约3伏的供电电压 $V_{CC}$ 和约100 的隧道氧化层56的厚度工作的实施例所特有的。因此，当供电电压 $V_{CC}$ 小于3伏时，上面引用的偏置条件改变。具体地说，在编程操作期间，当供电电压 $V_{CC}$ 减小时，为了将场强保持在足以促成通过FG隧穿和BTBT诱生热电子注入而进行的编程的水平，施加到所选位线BL上和控制栅线CG上的相应电压应该更负。例如，当 $V_{CC}$ 为约1.8伏时，所选位线被保持在约-6.2伏，而控制栅线CG被保持在约6.8伏。

此外，注意在隧道氧化层56的厚度小于100的那些实施例中，可将低的偏置电压用于编程，因为需要较小的场强以便在具有较薄的隧道氧化厚度的FG晶体管中诱发BTBT和FN隧穿。

## 读操作

通过在2T单元40的控制栅58和p+源46之间施加一个小于编程 $V_T$ 的电压，即 $V_{GS} < V_T(\text{编程})$ ，对2T单元40进行读出。这样，例如选择单元40(0, 0)进行读出，则所选位线BL0被保持在小于单元40(0, 0)的p+源46上电压的电压。在本具体例子中，p+源46为 $V_{CC}$ =约3伏，所选位线BL0保持在约1.2伏。所选字线WL0接地，由此开启选择晶体管40b(0, 0)，并将约1.2伏从所选位线BL0耦合到所选单元40(0, 0)的p+漏48上。n-阱区42和阵列70的公共源CS以及所有控制栅线CG被保持在供电电压 $V_{CC}$ 。在这些偏置条件下，如果已被编程，即如果其阈值电压 $V_T$ 为正，则所选单元40(0, 0)传导沟道电流，并将所选位线BL0充电到高于约1.2伏的电压。

未被选择的位线BL1-3浮置。由于所选字线WL0接地，因此供电电压VCC被从所选行中未被选择的单元40的各p+源46和从n-阱区42(0)耦合

到每个未被选择的位线BL1-BL3上。通过将未被选择行中的单元40的各选择晶体管40(b)保持在非导通状态,使未被选择行中的单元40与位线BL电压隔离。这例如是通过将未被选择的字线WL1-WL3保持在供电电压VCC来完成的。

如以上对于编程操作所描述的,偏置条件除其它许多条件外还依赖于供电电压VCC。因此,如果供电电压VCC下降,必须为能在已被编程的单元40中诱发约10-30 $\mu$ A电流的某一值的位线电压就可能减小。例如,在VCC约为1.8伏时,在读操作期间所选位线应被保持在约0.4伏。

### 擦除操作

通过浮置p+漏48,将p+源46保持在约8.5伏,和以诸如例如约-8.5伏对控制栅58施加负脉冲电压,通过FN隧穿来对2T单元4进行擦除。具体地说,为擦除第一组S0中的单元40,所选字线WL0-WL1被驱动到高达8.5伏,由此使所选组S0中的单元40与位线BL隔离。所选组S0的n-阱区40(0)和公共源CS0也被保持在约8.5伏。所选组S0的控制栅线CG0-CG1被施加约8.5伏的脉冲约100ms。在这些偏置条件下,电子通过FN隧穿从所选组S0中的单元40的各浮栅54发射到n-阱区42(0)中。当擦除完成时,所选组S0中单元40的阈值电压V<sub>T</sub>回到负值,进而施加上述读偏置电压不会在这些单元中诱发读电流。

通过将未被选择的字线WL2-WL3,未被选择的控制栅线CG2-CG3和n-阱区42(1)保持在供电电压VCC,使未被选择的组S1中的2T单元40与在所选组S0上进行的擦除操作隔离。由于在这些偏置条件下在未被选择组S1中单元40的各浮栅54和n-阱区42(1)之间没有明显的电场,因此防止了未被选择组S1中单元40的擦除。

通过将组的所选控制栅线CG保持在约-8.5伏或更低(即更负),与此同时将该组的其余控制栅线CG保持在正电压,例如在0到8.5伏之间,本实施例还允许对字节,即单元40的行的选择擦除。正电压的具体幅度可改变,例如这取决于单元40能够承受多大的V<sub>T</sub>干扰。注意,可以通过尽可能增大施加到未被选择的控制栅线CG上的正电压来使V<sub>T</sub>干扰尽可能小。然而,由于向相邻行中的单元40的相应控制栅施加负电压和正电

压可能造成因不充分的隔离而引起性能的问题，因此组擦除是优选的。

以上对于约3伏的VCC和约100 的隧道氧化层56的厚度给出了擦除操作的偏置条件。当隧道氧化厚度小于约100 时，可将所选控制栅线CG和所选n-阱区42之间的电压差按比例减小，以保持恒定的场强。

将用于编程、读出和擦除阵列70的2T单元40的偏置条件分别归纳于下面的表1，2和3中。

表1

编程电压	
分支	电压
所选字线	-7.5
未被选择的字线	VCC
所选位线	-5
未被选择的位线	VCC或浮置
所选控制栅	8
未被选择的控制栅	8或VCC
所选组的公共源	浮置
未被选择的组的公共源	浮置
所选n-阱区	VCC
未被选择的n-阱区	VCC

表2

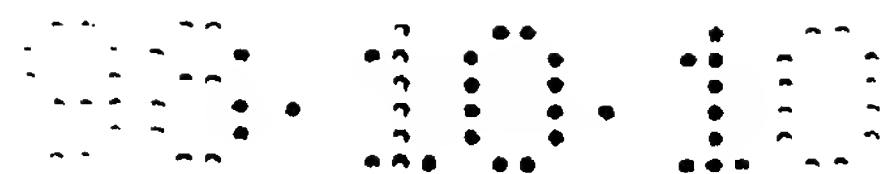
读出电压	
分支	电压
所选字线	接地
未被选择的字线	VCC
所选位线	1.2
未被选择的位线	浮置
控制栅	VCC
所选组的公共源	VCC
未被选择的组的公共源	VCC
所选n-阱区	VCC
未被选择的n-阱区	VCC

表3

擦除电压（组擦除）	
分支	电压
所选字线	8.5
未被选择的字线	VCC
位线	浮置
所选控制栅	-8.5
未被选择的控制栅	VCC
所选组的公共源	8.5
未被选择的组的公共源	VCC
所选n-阱区	8.5
未被选择的n-阱区	VCC

注意，象擦除操作期间的未被选择的n-阱区42一样，编程和读操作期间阵列70的所有n-阱区42被保持在供电电压VCC。只有在选择一个组进





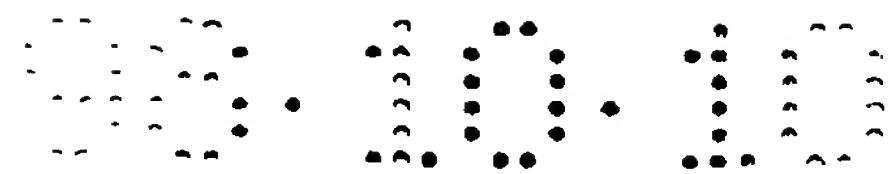
行擦除时，才需要将其n-阱区充电到大于供电电压 $V_{CC}$ 的电位上。这样，通过消除在编程和读操作之间对n-阱区42进行充电和/或放电的需要，本实施例允许在编程和读操作之间的快速过渡。

根据本发明的PMOS 2T单元40实现了优于现有技术的1T单元，例如Mitsubishi单元10（图1）的许多优点。首先，本发明的2T单元40比单元10（图1）较不易受BTBT干扰。具体地说，在2T单元40内包括选择晶体管40b，使得在编程和读出期间，当未被选择时，存储元件，即FG晶体管40a与BTBT干扰隔绝。例如，当选择阵列70的单元40（0，0）进行编程时，所选位线BL0被保持在约-5伏，而所选字线WL0被保持在约-7.5伏（其中 $V_{CC}$ 为约3伏）。这样，如上所述，约-5伏被耦合到所选单元40（0，0）的p+漏48上，从而促进通过FG隧穿和BTBT诱生热电子注入进行的对所选单元40（0，0）的编程。

由于在未被选择的行中单元40的各选择晶体管40b被保持在非导通状态，因此使这些单元40的相应p+漏48与所选位线BL0上的负电压隔离，并在 $V_{CC}$ 左右的电位上浮动（由于n-阱区42（0）为 $V_{CC}$ ）。例如，对于未被选择的单元40（1，0），其p+漏48在 $V_{CC}$ 左右浮动，其n-阱区42（0）为 $V_{CC}$ 。这样，由于在未被选择的单元40（1，0）的漏/阱结之间没有横向电场，因此在其中避免了BTBT干扰。

约5.5伏从未被选择的控制栅线CG1（8伏），p+漏48（3伏），p+源46（3伏）和n-阱区42（0）（3伏）耦合到未被选择的单元40（1，0）的浮栅54上。这样，未被选择的单元40（1，0）的浮栅54和p+漏48之间的电压差约为2.5伏。由此电压差引起的电场不足以将电子注入到未被选择单元40（1，0）的浮栅54中，并因此在其中实际上避免了FN隧穿干扰。

与之明显不同，日本特许公开No.9-8153披露了一种图2中所示类型的阵列结构，它具有图1中所示类型的一晶体管（1T）存储单元。具体地说，阵列30（图2）中每个1T Mitsubishi单元10（图1）的p+漏18直接耦合到位线BL上。这样，在编程期间，所选位线BL上的负电压不仅耦合到所选单元10的p+漏18上，而且耦合到与所选单元10在同一列中的未被选择单元10的各p+漏18上。这样，如在本公开的背景技术部分中所讨论的，跨



接在这些未被选择单元10的漏/阱结上的梯度约为6伏。由此电压差造成的电场足以在其中诱发BTBT。此外，由于象以上对于图2所讨论的那样约-1伏被耦合到这些未被选择单元10的各浮栅22上，因此这些未被选择单元10的各浮栅22和p+漏18之间的电压差约为5伏。由此电压差产生的电场足以促进FN隧穿，并将由BTBT诱发的热电子注入到这些未被选择单元10的浮栅22中。因此，这些未被选择单元10，即单元10(1, 0)，10(2, 0)和10(3, 0)易受BTBT干扰和FG隧穿干扰。如以上所讨论的，在这些未被选择单元40中造成的编程干扰可能会累及数据完整性和单元耐久性。

注意，在2T单元40内包括选择晶体管40b，使得能够以类似方式消除了在读操作期间未被选择单元中的偶然的BTBT诱发的热电子注入。

此外，通过隔离2T单元40的浮栅部件40a，选择晶体管40b能够使2T单元40的隧道氧化层56比1T单元10的隧道氧化层24更薄。在本发明实施例中按比例缩小隧道氧化层56厚度的能力使得2T单元40能够使用类似偏置条件，达到比1T单元10更快的编程速度。确实，如上所述，与1T单元10的约50 $\mu$ s相比，根据本发明的2T单元40达到了约10 $\mu$ s的编程速度。注意为增大编程速度而增加施加到1T单元10上的编程偏置电压会不必要地增加其中对BTBT编程干扰的敏感性，因此是不实用的。相反，减小隧道氧化层56厚度的能力使2T单元40能够使用较低的电压电平，达到与1T单元10类似的编程速度，而使用较低电压幅度当然有利于降低功耗和结击穿敏感度。

如前面所说，在擦除时2T单元40的FG晶体管部分40a的阈值电压 $V_T$ 是负的，而在编程时是正的。结果，被编程的单元40的 $V_T$ 分布不受零电压电平的限制，并因此可通过增大被编程单元40的 $V_T$ 上限值使 $V_T$ 分布尽可能大，如图5以曲线所示出的。相反，1T单元10的阈值电压 $V_T$ 在编程之前和之后都是负的。具体地说，在上述论文中T. Ohnakado等人披露了擦除 $V_T$ 在-4.0和-4.5伏之间，而编程 $V_T$ 在-2和-3伏之间。确实，如果在读期间，当未被选择时单元10不易泄露，单元10的编程单元 $V_T$ 就不能超过零。结果，本2T单元40的编程 $V_T$ 分布可比单元10编程 $V_T$ 分布大得多，

即宽得多。

与1T单元10相比更宽的2T单元40的编程 $V_T$ 分布允许工艺和设计变化有更大的容限。结果，与图1的1T单元10和图2的1T单元10的阵列相比，本2T单元较不易有由这种工艺和设计变化造成的编程错误。这样，就本阵列70的2T单元40而论，昂贵和费时的编程-校验操作可被减到最小。

还应注意，不管象在阵列70中那样将单元40用作闪烁单元还是用作EEPROM单元，2T单元40的制造工艺和编程及擦除 $V_T$ 分布都是一样的。这样，不仅可使用单一的工艺技术同时制造采用2T单元40的闪烁和EEPROM阵列，而且可将同样的用于编程、读出和擦除操作的偏置电压用于这两种阵列类型。以这种方式，本实施例允许从未有过的闪烁和EEPROM阵列的集成。

与Mitsubishi单元10相比，2T单元40更大的单元面积允许通过使用更稀疏的金属间距将阵列70的字线WL并联的金属线(为简单起见未示出)的形成，所述金属间距是由目前的光刻和腐蚀能力决定的。用相应金属线将字线WL并联的能力使得能够显著降低字线WL的电阻，由此进一步提高阵列70的性能。相反，在上述论文中作为优点指出的单元10的较小的单元面积需要更苛刻的光刻和腐蚀能力，以形成这些金属字线的并联。

在本发明的其它实施例中，位线被沿着组边界分段，以使位线电容尽可能小，进而提高速度。例如，参看图6，所示的阵列80包括与阵列70中同样的两个组S0和S1，其中每个组中的2T单元40连接在组的公共源CS和位线BL之间。但是，阵列80的位线BL不是象在阵列70(图4)中那样穿过每个组延伸，而是沿着组边界被分段。阵列80的每个组的位线BL被有选择地经传递晶体管(pass transistor)82耦合到总位线GBL上。最好，传递晶体管82是与选择晶体管40b在结构上类似的PMOS器件。

具体地说，如图6所示，来自每个组的位线经过相关传递晶体管82被耦合到相关总位线GBL上。与组S0对应的传递晶体管82(0)的导通状态受第一控制信号CNTR(0)控制，而与组S1对应的传递晶体管82(1)的导通状态受第二控制信号CNTR(1)控制。例如，来自组S0和S1的每一个的第一位线，如位线BL00和BL10分别经过传递晶体管82(0)0和82



(1) 0被耦合到相关总位线GBL0上, 其中控制信号CNTR(0)和CNTR(1)分别控制传递晶体管82(0) 0和82(1) 0的导通状态。

用于对阵列80的2T单元40进行编程、读出和擦除的操作和偏置条件与以上对阵列70所讨论的并分别在表1, 2和3中归纳的相同。当需要将一个特定的电压耦合到一个单元40上时, 与该单元40相关的传递晶体管82经相应的控制信号CNTR被开启, 由此使施加在总位线GBL上的电压被耦合到组位线BL上。例如, 为编程阵列80的单元40(0, 0), 所选总位线GBL0被保持在约-5伏(假设供电电压VCC介于2.7和3.6伏之间)。所选字线WL0被保持在约-7.5伏, 所选控制栅CG被加以约8伏的脉冲, 而所选公共源CS(0)浮置。阵列80的n-阱区42被保持在供电电压VCC。第一控制信号CNTR(0)被拉到低电压, 例如-7.5伏, 以开启传递晶体管82(0), 从而将所选总位线GBL0上的负电压耦合到所选组位线BL00上, 并从而耦合到所选单元40(0, 0)的p+漏48上。因此, 阵列80的所选单元40(0, 0)以以上就阵列70的编程操作所讨论的方式进行编程。注意, 在编程期间, 例如通过将控制信号CNTR(1)保持在诸如例如供电电压VCC的正电压, 来维持传递晶体管82(1)处于非导通状态, 以便确保所选总位线GBL0上的负电压不被耦合到未被选择的组S1的位线BL01上。

在阵列80的擦除操作期间, 所选组的传递晶体管82应处于非导通状态, 以使总位线与所选n-阱区42上的正电位隔离。

尽管已描述了本发明的具体实施例, 对于本领域技术人员来说, 很明显可对本发明做出变型和修改, 而从本发明更广的意义上说不脱离本发明, 并因此, 所附权利要求意在于其范围内包括所有这些变型和修改, 因为它们落在本发明的实质和范围内。



# 说明书附图

图 1 (现有技术)

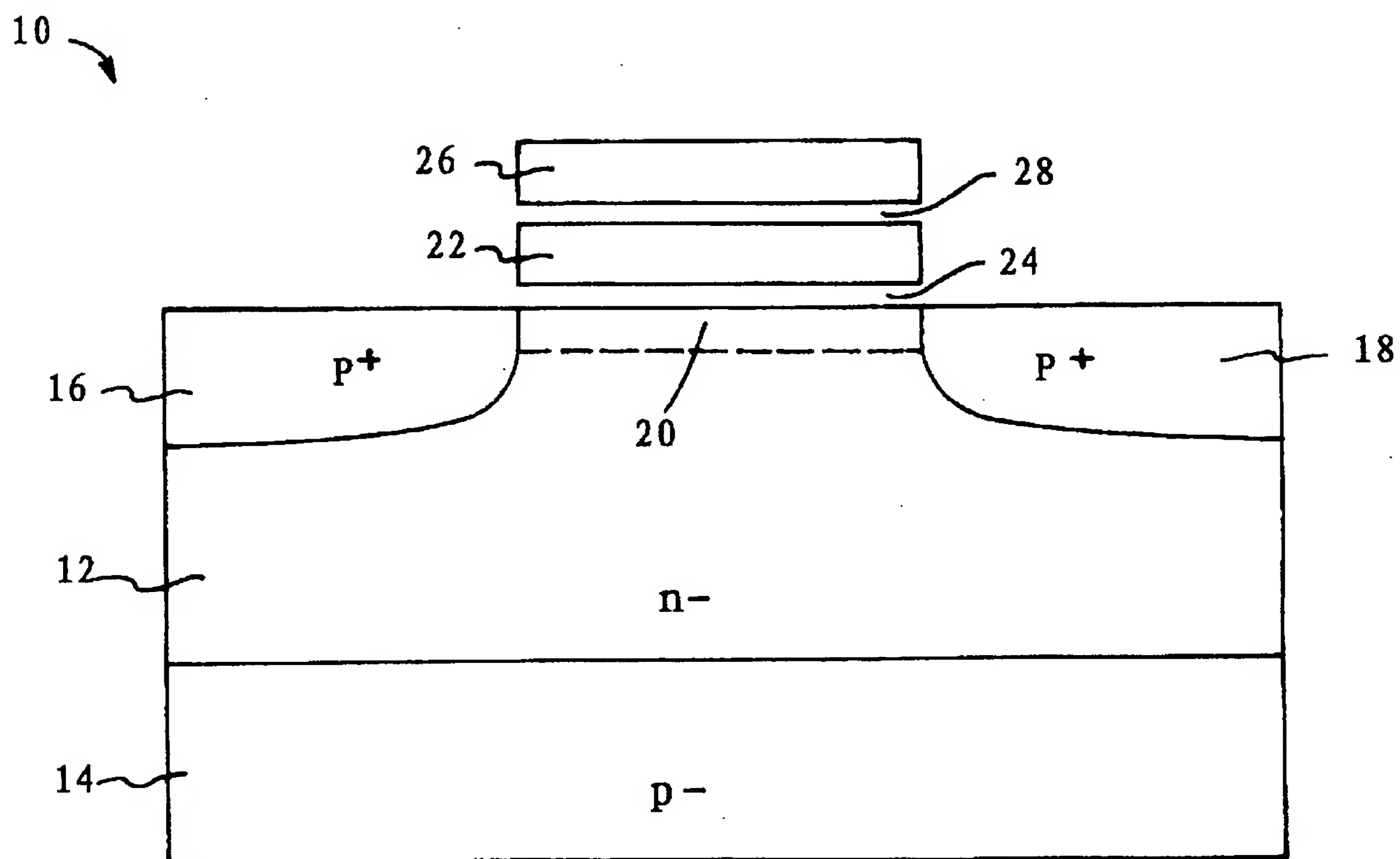


图 2 (现有技术)

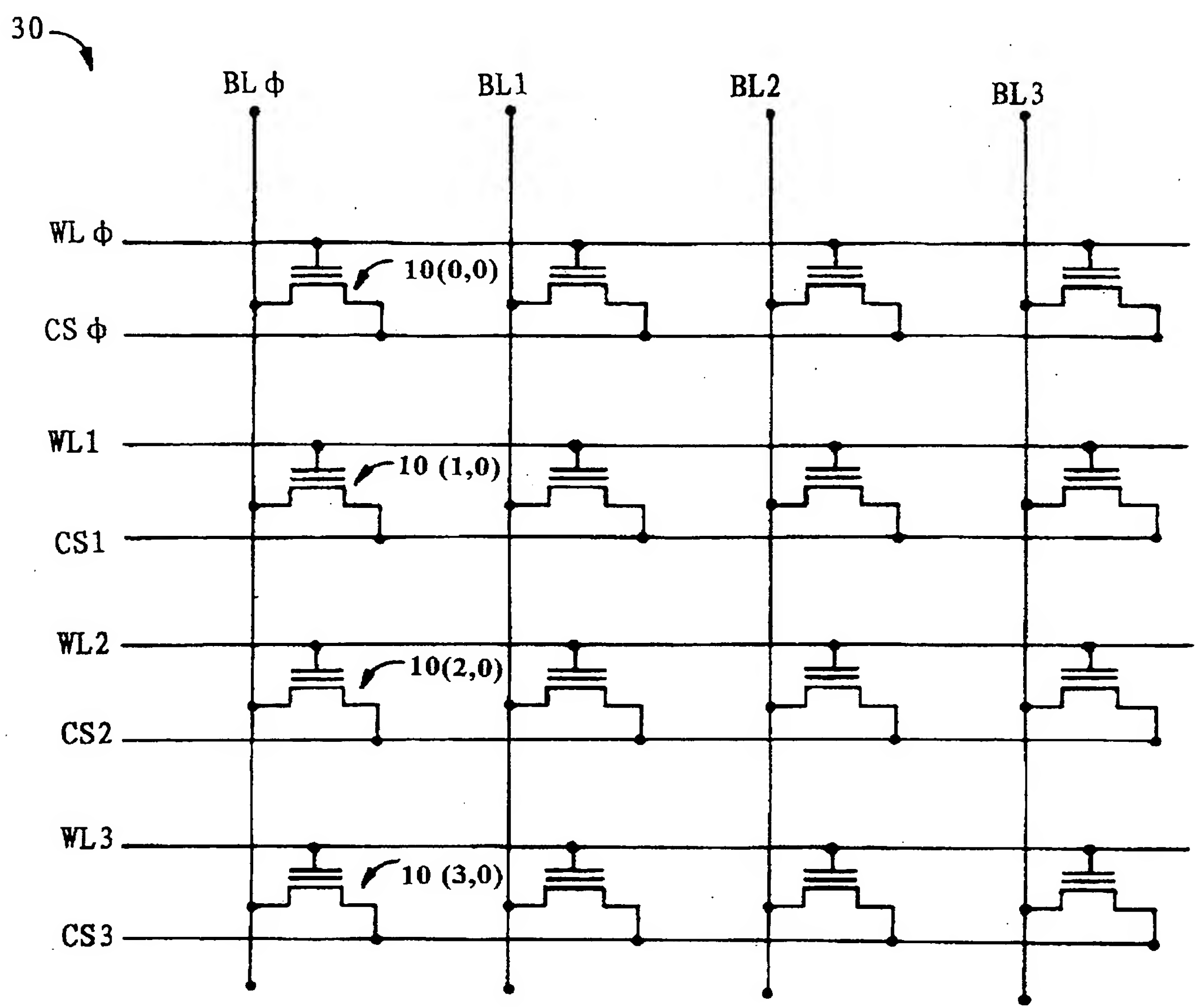


图 3

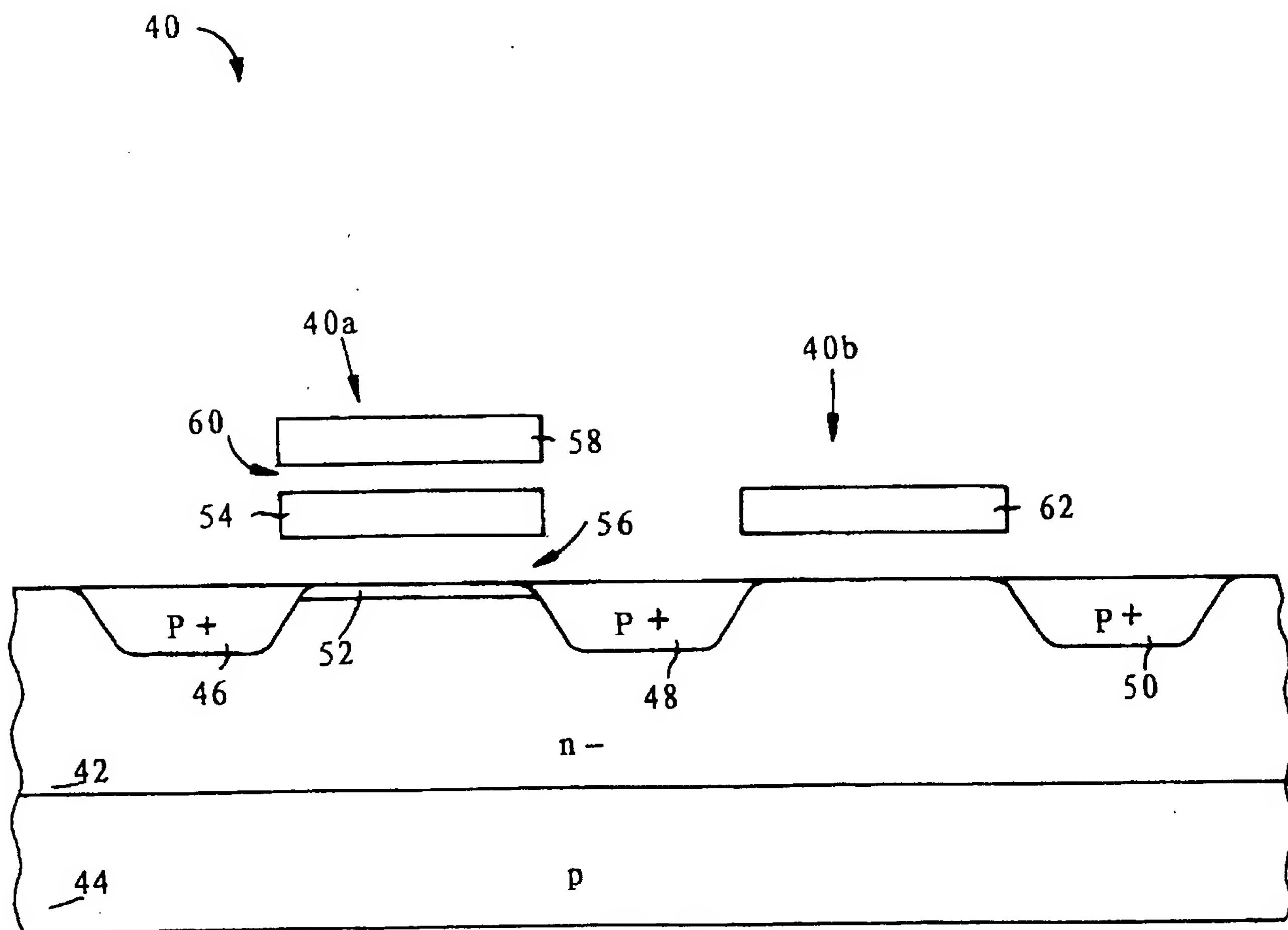


图 3

图 4

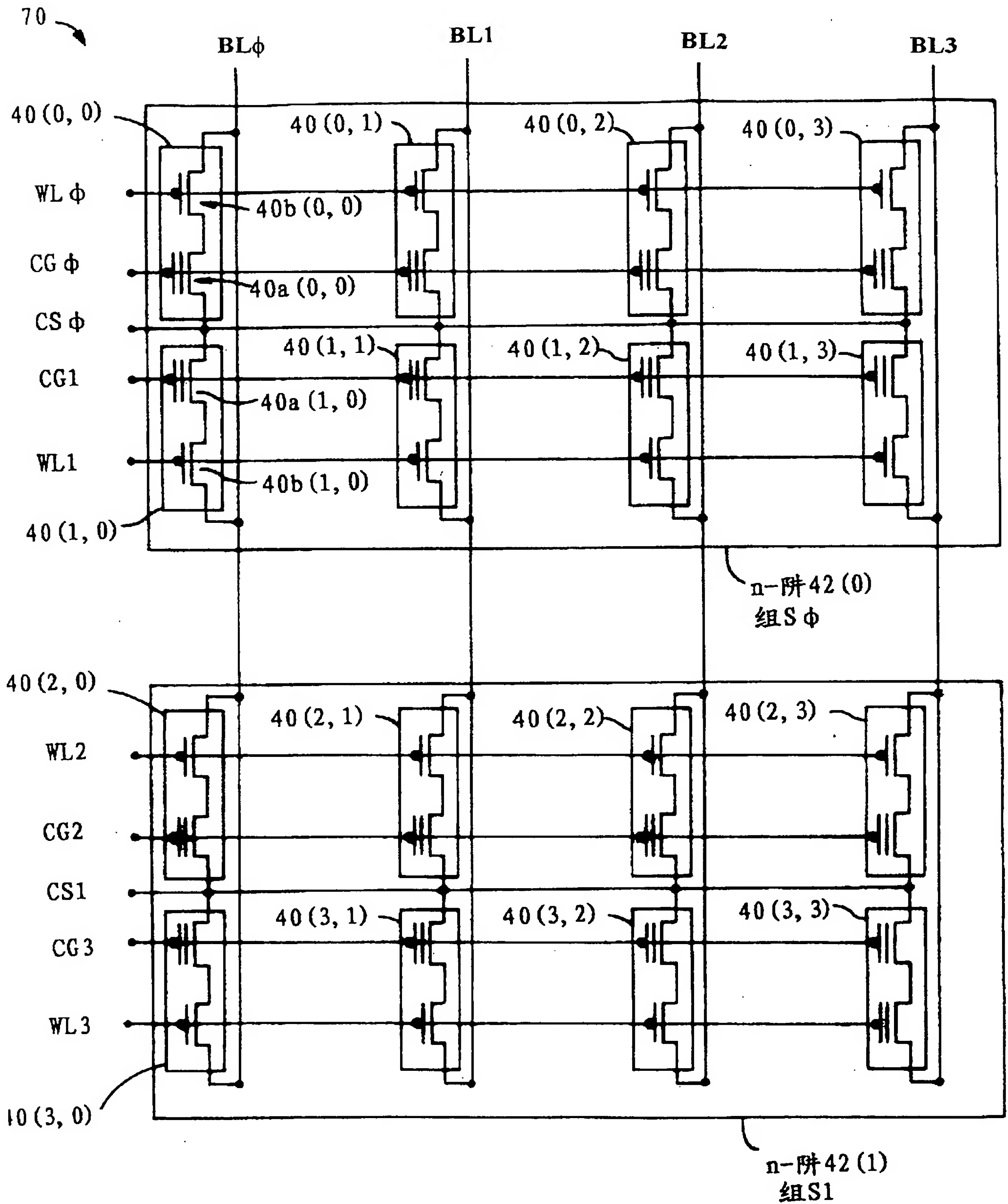




图 5

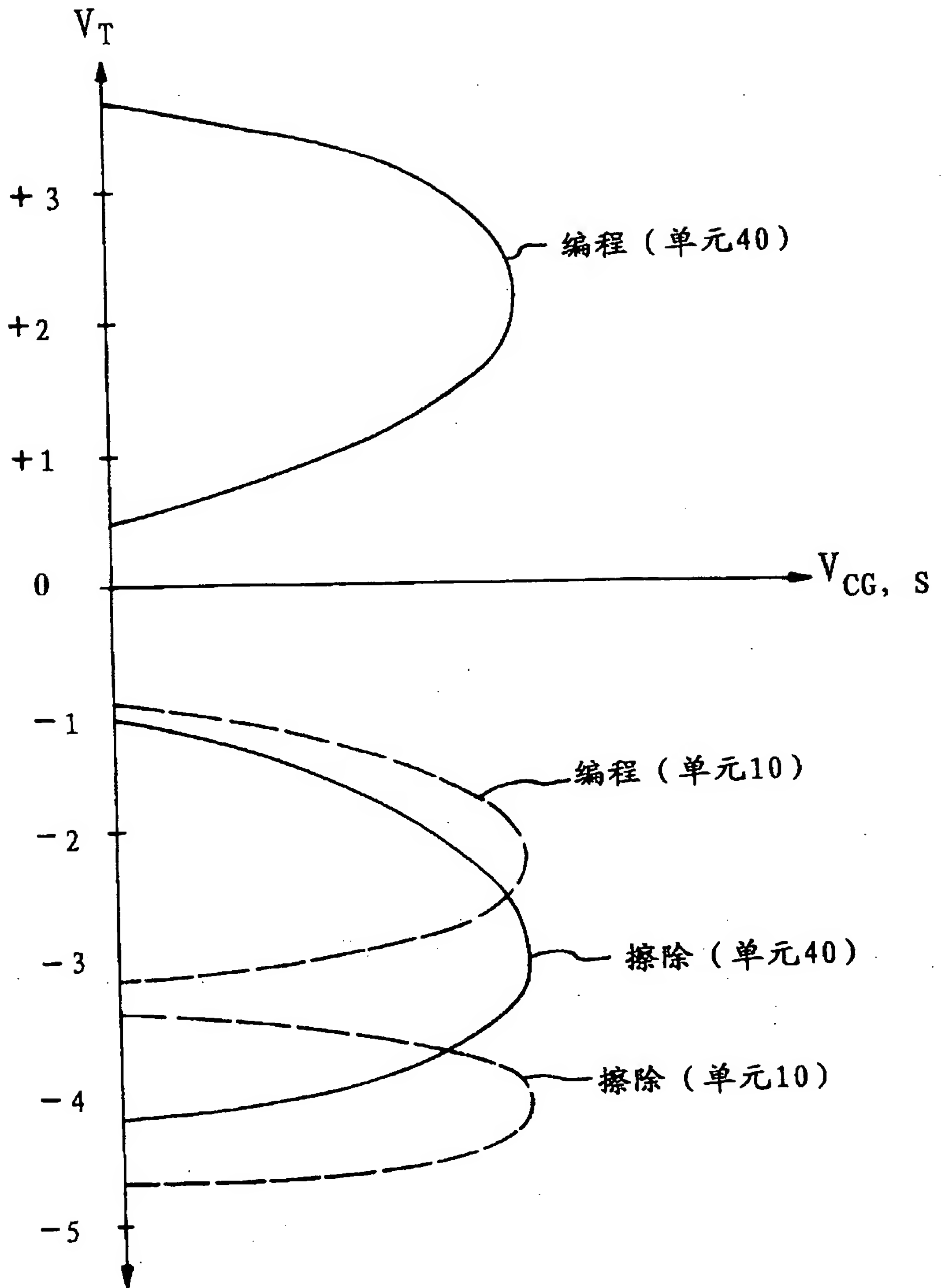


图 6

